

# ELECTRONIC CIRCUIT AND SEMICONDUCTOR ELEMENT AND MANUFACTURING METHOD OF SEMICONDUCTOR ELEMENT

Publication number: JP2001102402  
 Publication date: 2001-04-13  
 Inventor: SHIMIZU KOZO; AKAMATSU TOSHIYA  
 Applicant: FUJITSU LTD  
 Classification:  
 - International: H01L21/60; H01L21/02; (IPC1-7): H01L21/60  
 - European:  
 Application number: JP19990278409 19990930  
 Priority number(s): JP19990278409 19990930

SERIAL NO. 10/815,103

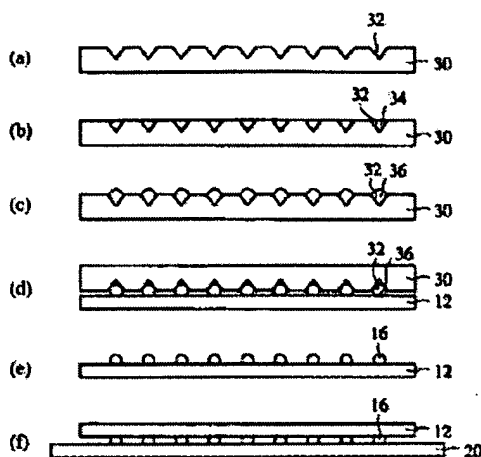
ART UNIT 2826

Report a data error here

## Abstract of JP2001102402

**PROBLEM TO BE SOLVED:** To provide an electronic circuit and a semiconductor element using solder materials with Sn as main components for preventing generation of protrusions and a method for manufacturing the semiconductor element. **SOLUTION:** Sn-Ag based solder paste 34 filled in dents 32 of a dimple plate 30 is allowed to reflow so that a solder ball 36 can be formed, and an electrode layer including at least an Au layer is formed on the electrode layer of a semiconductor element 10, and a solder bump 16 made of alloy including Sn and Ag is formed on the electrode layer, and Au is diffused from the electrode layer to the solder 16 so that a solder bump made of alloy including Sn and Ag and Au can be formed. The semiconductor element 10 is positioned at the element loading position of a circuit board 20, and the solder bump 16 on an electrode layer 14 of the semiconductor element 10 is soldered with an electrode layer 22 of a circuit board 20.

半導体素子の第1の製造方法の工程断面図



30...ディンプルプレート  
 32...凹み  
 34...はんだペースト  
 36...はんだボール

Data supplied from the esp@cenet database - Worldwide

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] An electronic circuit, wherein the soldered joint of the semiconductor device is carried out to the circuit board by solder containing Sn, and Ag and Au.

[Claim 2] An electronic circuit where, as for said solder, a weight ratio of more than 90wt% and Ag is characterized by a weight ratio of more than 2wt% and Au including solder material it is [ material ] 0.1 - 5wt% of within the limits by weight ratio of Sn in the electronic circuit according to claim 1.

[Claim 3] A semiconductor device, wherein a solder vamp which consists of a solder containing Sn, and Ag and Au is formed.

[Claim 4] A semiconductor device to which, as for said solder, a weight ratio of more than 90wt% and Ag is characterized by a weight ratio of more than 2wt% and Au including solder material it is [ material ] 0.1 - 5wt% of within the limits by weight ratio of Sn in the semiconductor device according to claim 3.

[Claim 5] Form on an electrode an electrode layer which contains an Au layer at least, and on said electrode layer, A manufacturing method of a semiconductor device forming a solder vamp which consists of a solder containing Sn and Ag, and forming a solder vamp which consists of a solder which makes said vamp diffuse Au from said electrode layer, and contains Sn, and Ag and Au.

[Claim 6] Form an Au layer in a hollow inner surface of a substrate for bump formation, and said hollow is filled up with soldering paste containing Sn and Ag, Make said soldering paste diffuse Au from an Au layer of said hollow inner surface, form a solder ball which consists of a solder containing Sn, and Ag and Au, and said solder ball is transferred on an electrode of a semiconductor device, A manufacturing method of a semiconductor device forming a solder vamp which consists of a solder containing Sn, and Ag and Au.

[Claim 7] Fill up a hollow of a substrate for bump formation with soldering paste containing Sn, and Ag and Au, form in it a solder ball which consists of a solder which contains Sn, and Ag and Au in said hollow, and said solder ball is transferred on an electrode of a semiconductor device, A manufacturing method of a semiconductor device forming a solder vamp which consists of a solder containing Sn, and Ag and Au.

[Claim 8] A manufacturing method of a semiconductor device characterized by said Au layer being 0.05-2-micrometer thickness in a manufacturing method of the semiconductor device according to claim 5 or 6.

[Claim 9] A manufacturing method of a semiconductor device with which, as for said solder, a weight ratio of more than 90wt% and Ag is characterized by a weight ratio of more than 2wt% and Au including solder material it is [ material ] 0.1 - 5wt% of within the limits by weight ratio of Sn in a manufacturing method of a semiconductor device given in any 1 paragraph of claims 5 thru/or 8.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacturing method of a semiconductor device and a semiconductor device with which the solder bump for the electronic circuit where the soldered joint of the semiconductor device of a bare chip is carried out to the circuit board, and a soldered joint is formed.

[0002]

[Description of the Prior Art] In recent years, in connection with the densification of electronic packaging, the number of input/output terminals of electronic parts increases, and, in the pitch between terminals, the request to minuteness making is strong. For this reason, as a method of joining electronic parts to the circuit board, join a semiconductor chip and an electrode by wirebonding and a semiconductor device is formed. Rather than the joining method which connects the semiconductor device to the circuit board, a solder bump is formed in the semiconductor device of a bare chip, and the flip-chip-bonding method which is directly put in block to the circuit board, and is joined to it is becoming in use.

[0003] In flip chip bonding, a solder bump is formed in the electrode of a bare chip, and the solder bump is joined to the electrode of the circuit board. Many solders of a Pb-Sn system are used as a material of a solder bump until now.

[0004] However, two or more isotopes exist in Pb, and these isotopes are the intermediate products or final products in the radioactive series of uranium (U) and thorium (Th), and are accompanied by the alpha decay which emits helium atom in a collapse process. For this reason, producing alpha rays from Pb in a solder, and those alpha rays reaching a semiconductor device, for example, a CMOS device, and causing a soft error is reported. If Pb flows into soil, it turns out that it begins to melt by acid rain and environment is affected, and the solder material not using [ from a field ] Pb also in environmental protection is called for strongly.

[0005] Then, the solder to which the solder material glue of a Pb-Sn system used comparatively little Sn of the radiochemical impurity as the main ingredients is beginning to be used.

[0006]

[Problem(s) to be Solved by the Invention] The invention-in-this-application person pays his attention to a Sn-Ag system alloy as a solder material which used Sn as the main ingredients. Especially Sn-3.5wt%Ag eutectic crystal solder is observed as a leading material from the melting point being comparatively close to 221 °C and 183 °C which is the melting point of the Sn-Pb eutectic crystal solder generally used so far. Since this solder material has nickel of an electrode material, and quick reaction velocity with Cu and tends to diffuse them in an electrode material, in the usual semiconductor device or the electrode of the circuit board. Although there is a \*\*\*\*\* problem which is easy to produce a defect, like a bump is missing by diffusion, a reliable soldered joint can be realized by devising the composition of an electrode layer, thickness, a film formation condition, etc.

[0007] However, the invention-in-this-application person discovered being generated by the projection as shown in drawing 1 at a solder bump, when the above-mentioned Sn-3.5wt%Ag eutectic crystal solder was used. Drawing 1 (a) is the top view which looked

at the semiconductor chip 100 from the upper surface, and drawing 1 (b) is a sectional view.

[0008]The projection 106 of about 2 times [ of the diameter of a vamp ] length is formed in the solder vamp 104 formed on the electrode 102 of the semiconductor chip 100. The length of this projection 106 may amount also to a maximum of 200-300 micrometers. For this reason, when the pitch of the electrode 102 of the semiconductor chip 100 is 200 micrometers or less. The solder vamp 104 which adjoins with this projection 106 was contacted, or the projection 106 caused ion migration etc., defects, such as an electric short circuit, occurred, and the problem of reducing reliability has arisen.

[0009]The purpose of this invention is to provide the manufacturing method of an electronic circuit, a semiconductor device, and a semiconductor device using the solder material which a projection which uses Sn as the main ingredients and mentioned it above does not generate.

[0010]

[Means for Solving the Problem]An invention-in-this-application person inquired wholeheartedly that a problem mentioned above should be solved, solved a mechanism by which a projection is generated, as a result, added optimum dose of Au(s) to a Sn-Ag system alloy, and found out that generation of a projection could be prevented by using a solder containing Sn, and Ag and Au.

[0011]A constitutional diagram of a Sn-Ag system alloy is shown in drawing 2. As shown in drawing 2, a Sn-Ag system alloy is especially constituted from a molten state by two phases of Sn and  $\text{Ag}_3\text{Sn}$  near Sn-3.5wt%Ag, when using Sn as the main ingredients. It has become clear from analysis results, such as an X diffraction, that a projection is  $\text{Ag}_3\text{Sn}$ . Therefore, if it guesses from a constitutional diagram of drawing 2, when there are more weight ratios of Ag than 3.5wt%, when a solder changes from the liquid phase to solid phase, it will be in the state where  $\text{Ag}_3\text{Sn}$  deposits gradually, and when the crystal grows, it will be surmised that a projection of  $\text{Ag}_3\text{Sn}$  is generated. This is a mechanism by which a projection is generated.

[0012]When Au is added to a Sn-Ag system alloy, it is based on the following mechanisms that generation of a projection can be prevented. In solder which used Sn as the main ingredients, it melts, Au is combined with Sn with \*\*\*\*\* at the time of cooling, and an Au-Sn compound is generated. This Au-Sn compound has the characteristic of being easy to be distributed on the solder surface.

[0013]It can limit into solder with a detailed crystallized state, without an  $\text{Ag}_3\text{Sn}$  crystal growing in the vamp surface during cooling of a solder, if an Au-Sn compound is formed in the surface of a solder vamp.

[0014]An  $\text{Ag}_3\text{Sn}$  crystal formed in a solder vamp growing like [ in the case of an Ag-Sn system alloy ], breaking through the outermost superficial layer of a vamp, and becoming a projection is also considered. The outermost superficial layer of a vamp that it is an Au-Sn compound However, since [ the mechanical property of an Au-Sn compound, since Young's modulus and tensile strength are mainly larger than an  $\text{Ag}_3\text{Sn}$  compound ], It can limit in a solder vamp, without an  $\text{Ag}_3\text{Sn}$  crystal breaking through the outermost superficial layer of an Au-Sn compound.

[0015]Generation of a projection can be prevented by adding optimum dose of Au(s) to a Sn-Ag system alloy, and using for it a solder containing Sn, and Ag and Au according to such a mechanism.

[0016]When a weight ratio of Sn is [ a weight ratio of Ag ] a Sn-Ag system alloy beyond 2wt% in more than 90wt%, it is desirable for a weight ratio of Au to be 0.1 - 5wt% of within the limits. In supplying Au by laminating an Au layer to an electrode, a mentioned range is equivalent to the range of 0.05-2 micrometers as thickness of an Au layer. It is based on the following reasons that such a range is desirable.

[0017]Since an Au-Sn compound will not fully be formed if a weight ratio of Au is smaller than 0.1wt%, crystal growth of  $Ag_3Sn$  cannot be deterred thoroughly.

[0018]On the contrary, it is because there is too much quantity of an Au-Sn compound, solder's own mechanical property will deteriorate and reliability, such as a fatigue life of a soldered joint part, will fall, if a weight ratio of Au is larger than 5wt%. It is because the melting point of solder material will rise, a temperature gradient of the liquidus line and the solidus line will be not less than 20 \*\*, time for a solder vamp to exist with a fluid will become long, it will become easy to cause a position gap and the reliability of a soldering process will fall, if content of Au increases.

[0019]Therefore, the above-mentioned purpose is attained by electronic circuit, wherein the soldered joint of the semiconductor device is carried out to the circuit board by solder containing Sn, and Ag and Au.

[0020]As for said solder, in an electronic circuit mentioned above, it is desirable for a weight ratio of Sn to include more than 90wt% and solder material whose weight ratio of more than 2wt% and Au a weight ratio of Ag is 0.1 - 5wt% of within the limits.

[0021]The above-mentioned purpose is attained by semiconductor device, wherein a solder vamp which consists of a solder containing Sn, and Ag and Au is formed.

[0022]As for said solder, in a semiconductor device mentioned above, it is desirable for a weight ratio of Sn to include more than 90wt% and solder material whose weight ratio of more than 2wt% and Au a weight ratio of Ag is 0.1 - 5wt% of within the limits.

[0023]The above-mentioned purpose forms on an electrode an electrode layer which contains an Au layer at least, and on said electrode layer, Form a solder vamp which consists of a solder containing Sn and Ag, said vamp is made to diffuse Au from said electrode layer, and it is attained by a manufacturing method of a semiconductor device forming a solder vamp which consists of a solder containing Sn, and Ag and Au.

[0024]The above-mentioned purpose forms an Au layer in a hollow inner surface of a substrate for bump formation, and said hollow is filled up with soldering paste containing Sn and Ag, Make said soldering paste diffuse Au from an Au layer of said hollow inner surface, form a solder ball which consists of a solder containing Sn, and Ag and Au, and said solder ball is transferred on an electrode of a semiconductor device, It is attained by a manufacturing method of a semiconductor device forming a solder vamp which consists of a solder containing Sn, and Ag and Au.

[0025]The above-mentioned purpose fills up a hollow of a substrate for bump formation with soldering paste containing Sn, and Ag and Au, A solder ball which consists of a solder containing Sn, and Ag and Au is formed in said hollow, said solder ball is transferred on an electrode of a semiconductor device, and it is attained by a manufacturing method of a semiconductor device forming a solder vamp which consists of a solder containing Sn, and Ag and Au.

[0026]As for said Au layer, in a manufacturing method of a semiconductor device mentioned above, it is desirable that it is 0.05-2-micrometer thickness.

[0027]As for said solder, in a manufacturing method of a semiconductor device

mentioned above, it is desirable for a weight ratio of Sn to include more than 90wt% and solder material whose weight ratio of more than 2wt% and Au a weight ratio of Ag is 0.1 - 5wt% of within the limits.

[0028]

[Embodiment of the Invention]The semiconductor device by one embodiment of this invention is explained using drawing 3. As for the semiconductor device 10 of this embodiment, the solder vamp 16 is formed on the electrode layer 14 of the bare chip 12. On the bare chip 12, the electrode layer 14 which consists of Al layer 14a of about 100-nm thickness, Ti layer 14b of about 100-nm thickness, and the nickel layer 14c of about 4-micrometer thickness is formed, On this electrode layer 14, optimum dose of Au(s) are added to a Sn-Ag system alloy, and the solder vamp 16 which consists of a solder containing Sn, and Ag and Au is formed. As for the solder of this embodiment, it is desirable for the weight ratio of more than 90wt% and Ag to be [ for the weight ratio of more than 2wt% and Au ] 0.1 - 5wt% of within the limits in the weight ratio of Sn.

[0029]Since optimum dose of Au(s) were added to the Sn-Ag system alloy as a solder for a soldered joint according to this embodiment, the projection of an Ag<sub>3</sub>Sn crystal can be effectively prevented from generating by a solder vamp in the formation process of a solder vamp.

[0030]The electronic circuit using the semiconductor device of this embodiment is shown in drawing 4. In this electronic circuit, the soldered joint of the semiconductor device 10 of this embodiment is carried out to the circuit board 20. On the circuit board 20, the electrode layer 22 which consists of Cr layer 22a of about 100-nm thickness, Cu layer 22b of about 0.5-micrometer thickness, the nickel layer 22c of about 3-micrometer thickness, and 22d of Au layers of about 500-nm thickness is formed, and the solder vamp 16 of the semiconductor device 10 is connected to this electrode layer 22.

[0031]Sufficient reliability can be secured without a projection's causing ion migration etc. or defects, such as an electric short circuit, occurring, since the projection of the Ag<sub>3</sub>Sn crystal is not generated by the solder vamp 16 of the semiconductor device 10 according to this embodiment.

[0032]Two or more manufacturing methods which manufacture the semiconductor device by one embodiment of this invention are explained using drawing 5 thru/or drawing 10. In order to manufacture the semiconductor device of this embodiment, when the solder vamp 16 is formed, it is required for a Sn-Ag system alloy to add optimum dose of Au(s) and to have become a solder containing Sn, and Ag and Au. For the purpose, Au may be added to a Sn-Ag system alloy from the beginning, and Au may be added just before formation of the solder vamp 16. There are the following manufacturing methods by the stage to add Au.

[0033](The 1st manufacturing method) The 1st manufacturing method of the semiconductor device by one embodiment of this invention is explained using drawing 5 and drawing 6.

[0034]First, dimple plate (Dimple Plate)30 for bump formation is prepared (drawing 5 (a)). In order to form a vamp in the dimple plate 30, the earthenware mortar-shaped hollow 32 is formed.

[0035]Next, the hollow 32 of this dimple plate 30 is filled up with the Sn-Ag system soldering paste 34 which mixed 3.5wt% of Ag in Sn (drawing 5 (b)). Then, a reflow of the dimple plate 30 is heated and carried out to about 280 \*\*, and the solder ball 36 is

formed (drawing 5 (c)).

[0036]On the other hand, the electrode layer 14 which consists of Ti layer 14b of about 100-nm thickness, the nickel layer 14c of about 4-micrometer thickness, and 14d of Au layers of about 100-nm thickness the Al layer 14a top of about 100-nm thickness is formed on the bare chip 12 of the semiconductor device 10. For example, Ti layer 14b is formed by sputtering process on Al electrode 14a of the bare chip 12 surface. Then, the nickel layer 14c is formed on Ti layer 14b by an electrolytic plating method. Then, 14 d of Au layers are formed on the nickel layer 14c by an electrolytic plating method. As for the thickness of 14 d of this Au layer, it is desirable that it is the range of 0.05-2-micrometer thickness.

[0037]Next, alignment of the semiconductor device 10 and the dimple plate 30 is carried out (drawing 6 (a)), the dimple plate 30 is brought close to the semiconductor device 10, and the solder ball 36 of the dimple plate 30 is transferred in the electrode layer 14 of the semiconductor device 10 (drawing 5 (d)). The transferred solder ball 36 is formed as the solder vamp 16 on the electrode layer 14 of the bare chip 12 (drawing 5 (e)). As shown in drawing 6 (b) immediately after transfer, the solder vamp 16 of a Sn-Ag system alloy is formed on Au layer 14d which is the top layer of the electrode layer 14 on the bare chip 12. Then, by heating at about 270-280 \*\*, Au of 14 d of Au layers of the top layer is spread in the solder vamp 16, and as shown in drawing 6 (c), the solder vamp 16 by which Au was added by the Sn-Ag system alloy is formed on the nickel layer 14c of the electrode layer 14 on the bare chip 12.

[0038]Next, alignment of the semiconductor device 10 is carried out to the element helicopter loading site of the circuit board 20, the semiconductor device 10 is brought close to the circuit board 20, and the solder vamp 16 on the electrode layer 14 of the semiconductor device 10 is joined by solder to the electrode layer 22 of the circuit board 20 (drawing 5 (f)). Thus, an electronic circuit is completed.

[0039]Thus, since the solder vamp was formed by the solder containing Sn, and Ag and Au according to the 1st manufacturing method, the projection of an  $Ag_3Sn$  crystal can be effectively prevented from generating by a solder vamp.

[0040](The 2nd manufacturing method) The 2nd manufacturing method of the semiconductor device by one embodiment of this invention is explained using drawing 7 and drawing 8.

[0041]First, the dimple plate 30 for bump formation is prepared. The resist 40 is applied to surface areas other than hollow 32 of the dimple plate 30, it becomes depressed with sputtering process or vacuum deposition, and Au layer 38 of about 100 nm - 2-micrometer thickness is formed in 32 inner surfaces (drawing 7 (a)). As for the thickness of this Au layer 38, it is desirable that it is the range of 0.05-2-micrometer thickness.

[0042]Next, it is filled up with the Sn-Ag system soldering paste 34 which mixed 3.5wt% of Ag in Sn on Au layer 38 in the hollow 32 of this dimple plate 30 (drawing 7 (b)). Then, a reflow of the dimple plate 30 is heated and carried out to about 280 \*\*, and the solder ball 36 is formed (drawing 7 (c)). Au of Au layer 38 is spread in the Sn-Ag system soldering paste 34, and it becomes the solder ball 36 in which Au was added by the Sn-Ag system alloy.

[0043]On the other hand, the electrode layer 14 which consists of Ti layer 14b of about 100-nm thickness and the nickel layer 14c of about 4-micrometer thickness the Al layer 14a top of about 100-nm thickness is formed on the bare chip 12 of the semiconductor

device 10.

[0044]Next, alignment of the semiconductor device 10 and the dimple plate 30 is carried out, the dimple plate 30 is brought close to the semiconductor device 10, and the solder ball 36 of the dimple plate 30 is transferred in the electrode layer 14 of the semiconductor device 10 (drawing 7 (d)). The transferred solder ball 36 is formed as the solder vamp 16 on the electrode layer 14 of the bare chip 12 (drawing 7 (e)). As a result, as shown in drawing 8, the solder vamp 16 by which Au of the Sn-Ag system alloy was added is formed on the nickel layer 14c of the electrode layer 14 on the bare chip 12.

[0045]Next, like the 1st manufacturing method, alignment of the semiconductor device 10 is carried out to the element helicopter loading site of the circuit board 20, the semiconductor device 10 is brought close to the circuit board 20, and the solder vamp 16 on the electrode layer 14 of the semiconductor device 10 is joined by solder to the electrode layer 22 of the circuit board 20. Thus, an electronic circuit is completed.

[0046]Since the solder vamp was formed by the solder containing Sn, and Ag and Au according to this 1st manufacturing method, the projection of an  $\text{Ag}_3\text{Sn}$  crystal can be effectively prevented from generating by a solder vamp.

[0047](The 3rd manufacturing method) The 3rd manufacturing method of the semiconductor device by one embodiment of this invention is explained using drawing 9 and drawing 10.

[0048]First, the dimple plate 30 for bump formation is prepared. It is filled up with the soldering paste 34 which mixed optimum dose of Au(s) in the Sn-Ag system alloy in the hollow 32 of this dimple plate 30 (drawing 9 (a)). In the weight ratio of more than 90wt% and Ag, the weight ratio of more than 2wt% and Au carries out [ the weight ratio of Sn ] the soldering paste 34 0.1 - 5wt% of within the limits, for example.

[0049]Next, a reflow of the dimple plate 30 is heated and carried out to about 280 \*\*, and the solder ball 36 is formed (drawing 9 (b)). It becomes the solder ball 36 in which Au was added by the Sn-Ag system alloy.

[0050]On the other hand, the electrode layer 14 which consists of Ti layer 14b of about 100-nm thickness and the nickel layer 14c of about 4-micrometer thickness the Al layer 14a top of about 100-nm thickness is formed on the bare chip 12 of the semiconductor device 10.

[0051]Next, alignment of the semiconductor device 10 and the dimple plate 30 is carried out, the dimple plate 30 is brought close to the semiconductor device 10, and the solder ball 36 of the dimple plate 30 is transferred in the electrode layer 14 of the semiconductor device 10 (drawing 9 (c)). The transferred solder ball 36 is formed as the solder vamp 16 on the electrode layer 14 of the bare chip 12 (drawing 9 (d)). As a result, as shown in drawing 10, the solder vamp 16 by which Au of the Sn-Ag system alloy was added is formed on the nickel layer 14c of the electrode layer 14 on the bare chip 12.

[0052]Next, like the 1st manufacturing method, alignment of the semiconductor device 10 is carried out to the element helicopter loading site of the circuit board 20, the semiconductor device 10 is brought close to the circuit board 20, and the solder vamp 16 on the electrode layer 14 of the semiconductor device 10 is joined by solder to the electrode layer 22 of the circuit board 20. Thus, an electronic circuit is completed.

[0053]Since the solder vamp was formed by the solder containing Sn, and Ag and Au according to this 3rd manufacturing method, the projection of an  $\text{Ag}_3\text{Sn}$  crystal can be effectively prevented from generating by a solder vamp.



[0054]Not only the above-mentioned embodiment but various modification is possible for this invention. For example, although the Au layer was formed the electrode layer top of a semiconductor device, and in the hollow of a dimple plate in the above-mentioned embodiment, an Au layer is formed on the electrode layer of a partner's circuit board joined, and it may be made to make a solder diffuse gold from this Au layer. An Au layer may be formed in the electrode layer of both a semiconductor device and the circuit board.

[0055]

[Example](Example 1-1 to 1-6) In Example 1-1 to 1-6, the semiconductor device was manufactured with the 1st manufacturing method.

[0056]A reflow of the soldering paste 34 with which the hollow 32 of the dimple plate 30 was filled up was carried out, and the solder ball 36 was formed. The soldering paste 34 uses the Sn-Ag system solder which mixed 3.0wt% of Ag in Sn in Example 1-1, The Sn-Ag system solder which mixed 3.5wt% of Ag in Sn in Example 1-2 is used, The Sn-Ag system solder which mixed 4.0wt% of Ag in Sn in Example 1-3 is used, The Sn-Ag-Zn system solder which mixed 3.5wt% of Ag and 1.0wt% of Zn in Sn in Example 1-4 is used, In Example 1-5, the Sn-Ag-Bi system solder which mixed 3.5wt% of Ag and 1.0wt% of Bi in Sn was used, and the Sn-Ag-Cu system solder which mixed 3.5wt% of Ag and 0.7wt% of Cu in Sn was used in Example 1-6. The abundance ratio of Pb in Sn of a solder in these Examples 1-1 to 1-6 is 1 ppm or less, and the amount of alpha rays used the following [ 0.01 cph/cm<sup>2</sup> ].

[0057]On Al layer 14a of the bare chip 12 of the semiconductor device 10, Ti layer 14b of about 100-nm thickness is formed by sputtering process, The nickel layer 14c of about 4-micrometer thickness was formed on Ti layer 14b by the electrolytic plating method, and 14 d of Au layers of 500-nm thickness were formed on the nickel layer 14c by the electrolytic plating method.

[0058]Next, alignment of the semiconductor device 10 and the dimple plate 30 was carried out, the solder ball 36 of the dimple plate 30 was transferred in the electrode layer 14 of the semiconductor device 10, and the solder vamp 16 was formed on the electrode layer 14 of the bare chip 12. Au was spread in the solder vamp 16 from 14d of Au layers which are the top layer of the electrode layer 14, and the solder vamp 16 by which Au was added was formed in the solder mentioned above.

[0059]Next, alignment of the semiconductor device 10 was carried out to the element helicopter loading site of the circuit board 20, the solder vamp 16 on the electrode layer 14 of the semiconductor device 10 was joined by solder to the electrode layer 22 of the circuit board 20, and the electronic circuit was manufactured.

[0060]It was observed by viewing whether in a manufacturing process, it would be generated by the projection by the solder vamp 16. As a result, the projection was observed in no Examples 1-1 to 1-6.

[0061]The PCT (Presser Cooker Test) examination was done with 125 \*\*, 85%RH, and the impressed electromotive force of 5V to the electronic circuit which joined the semiconductor device 10 by solder to the circuit board 20. As a result, insulation has been secured for 200 hours or more in all the Examples 1-1 to 1-6.

[0062]The thermal cycling test for 125 \*\* 30 minutes, and -55 \*\* 30 minutes was done to the same electronic circuit. The result has checked the fatigue life of 200 or more cycles in all the Examples 1-1 to 1-6.

[0063](Example 2-1 to 2-6) In Example 2-1 to 2-6, the semiconductor device was manufactured with the 2nd manufacturing method.

[0064]Au layer 38 of 500-nm thickness was formed in hollow 32 inner surface of the dimple plate 30 with sputtering process or vacuum deposition. Next, a reflow of the soldering paste 34 with which the hollow 32 of the dimple plate 30 was filled up was carried out, and the solder ball 36 was formed.

[0065]The soldering paste 34 uses the Sn-Ag system solder which mixed 3.0wt% of Ag in Sn in Example 2-1, The Sn-Ag system solder which mixed 3.5wt% of Ag in Sn in Example 2-2 is used, The Sn-Ag system solder which mixed 4.0wt% of Ag in Sn in Example 2-3 is used, The Sn-Ag-Zn system solder which mixed 3.5wt% of Ag and 1.0wt% of Zn in Sn in Example 2-4 is used, In Example 2-5, the Sn-Ag-Bi system solder which mixed 3.5wt% of Ag and 1.0wt% of Bi in Sn was used, and the Sn-Ag-Cu system solder which mixed 3.5wt% of Ag and 0.7wt% of Cu in Sn was used in Example 2-6. The abundance ratio of Pb in Sn of a solder in these Examples 2-1 to 2-6 is 1 ppm or less, and the amount of alpha rays used the following [ 0.01 cph/cm<sup>2</sup> ].

[0066]Au was spread in the solder vamp 16 from Au layer 38 of hollow 32 inner surface of the dimple plate 30, and the solder ball 36 in which Au was added was formed in the solder mentioned above.

[0067]On Al layer 14a of the bare chip 12 of the semiconductor device 10, Ti layer 14b of about 100-nm thickness was formed by sputtering process, and the nickel layer 14c of about 4-micrometer thickness was formed on Ti layer 14b by the electrolytic plating method.

[0068]Next, alignment of the semiconductor device 10 and the dimple plate 30 was carried out, the solder ball 36 of the dimple plate 30 was transferred in the electrode layer 14 of the semiconductor device 10, and the solder vamp 16 was formed on the electrode layer 14 of the bare chip 12.

[0069]Next, alignment of the semiconductor device 10 was carried out to the element helicopter loading site of the circuit board 20, the solder vamp 16 on the electrode layer 14 of the semiconductor device 10 was joined by solder to the electrode layer 22 of the circuit board 20, and the electronic circuit was manufactured.

[0070]It was observed with the optical microscope whether in a manufacturing process, it would be generated by the projection by the solder vamp 16. As a result, the projection was observed in no Examples 2-1 to 2-6.

[0071]The PCT examination was done with 125 \*\*, 85%RH, and the impressed electromotive force of 5V. to the electronic circuit which joined the semiconductor device 10 by solder to the circuit board 20. As a result, insulation has been secured for 200 hours or more in all the Examples 2-1 to 2-6.

[0072]The thermal cycling test for 125 \*\* 30 minutes, and -55 \*\* 30 minutes was done to the same electronic circuit. The result has checked the fatigue life of 200 or more cycles in all the Examples 2-1 to 2-6.

[0073](Example 3-1 to 3-6) In Example 3-1 to 3-6, the semiconductor device was manufactured with the 3rd manufacturing method.

[0074]It was filled up with the soldering paste 34 which mixed optimum dose of Au(s) in the Sn-Ag system alloy in the hollow 32 of the dimple plate 30.

[0075]The soldering paste 34 uses the Sn-Ag system solder which mixed 3.0wt% of Ag in Sn in Example 3-1, The Sn-Ag system solder which mixed 3.5wt% of Ag in Sn in

Example 3-2 is used, The Sn-Ag system solder which mixed 4.0wt% of Ag in Sn in Example 3-3 is used, The Sn-Ag-Zn system solder which mixed 3.5wt% of Ag and 1.0wt% of Zn in Sn in Example 3-4 is used, The Sn-Ag-Bi system solder which mixed 3.5wt% of Ag and 1.0wt% of Bi in Sn in Example 3-5 is used, In Example 3-6, the Sn-Ag-Cu system solder which mixed 3.5wt% of Ag and 0.7wt% of Cu in Sn was used, and 1wt% of gold was added to these, respectively. The abundance ratio of Pb in Sn of a solder in these Examples 3-1 to 3-6 is 1 ppm or less, and the amount of alpha rays used the following [ 0.01 cph/cm<sup>2</sup> ].

[0076]It became depressed about the dimple plate 30, and the solder ball 36 was formed in the solder of the presentation which carried out a reflow of the soldering paste 34 in 32, and mentioned it above.

[0077]On Al layer 14a of the bare chip 12 of the semiconductor device 10, Ti layer 14b of about 100-nm thickness was formed by sputtering process, and the nickel layer 14c of about 4-micrometer thickness was formed on Ti layer 14b by the electrolytic plating method.

[0078]Next, alignment of the semiconductor device 10 and the dimple plate 30 was carried out, the solder ball 36 of the dimple plate 30 was transferred in the electrode layer 14 of the semiconductor device 10, and the solder vamp 16 was formed on the electrode layer 14 of the bare chip 12.

[0079]Next, alignment of the semiconductor device 10 was carried out to the element helicopter loading site of the circuit board 20, the solder vamp 16 on the electrode layer 14 of the semiconductor device 10 was joined by solder to the electrode layer 22 of the circuit board 20, and the electronic circuit was manufactured.

[0080]It was observed by viewing whether in a manufacturing process, it would be generated by the projection by the solder vamp 16. As a result, the projection was observed in no Examples 3-1 to 3-6.

[0081]The PCT examination was done with 125 \*\*, 85%RH, and the impressed electromotive force of 5V to the electronic circuit which joined the semiconductor device 10 by solder to the circuit board 20. As a result, insulation has been secured for 200 hours or more in all the Examples 3-1 to 3-6.

[0082]The thermal cycling test for 125 \*\* 30 minutes, and -55 \*\* 30 minutes was done to the same electronic circuit. The result has checked the fatigue life of 200 or more cycles in all the Examples 3-1 to 3-6.

[0083](Comparative examples 1-6) The comparative examples 1-6 formed the solder vamp, without adding gold.

[0084]A reflow of the soldering paste 34 with which the hollow 32 of the dimple plate 30 was filled up was carried out, and the solder ball 36 was formed. The soldering paste 34 uses the Sn-Ag system solder which mixed 3.0wt% of Ag in Sn in the comparative example 1, The Sn-Ag system solder which mixed 3.5wt% of Ag in Sn in the comparative example 2 is used, The Sn-Ag system solder which mixed 4.0wt% of Ag in Sn in the comparative example 3 is used, The Sn-Ag-Zn system solder which mixed 3.5wt% of Ag and 1.0wt% of Zn in Sn in the comparative example 4 is used, According to the comparative example 5, the Sn-Ag-Bi system solder which mixed 3.5wt% of Ag and 1.0wt% of Bi in Sn was used, and the Sn-Ag-Cu system solder which mixed 3.5wt% of Ag and 0.7wt% of Cu in Sn was used by the comparative example 6. The abundance ratio of Pb in Sn of a solder in these comparative examples 1-6 is 1 ppm or less, and the

amount of alpha rays used the following [ 0.01 cph/cm<sup>2</sup> ].

[0085]On Al layer 14a of the bare chip 12 of the semiconductor device 10, Ti layer 14b of about 100-nm thickness was formed by sputtering process, and the nickel layer 14c of about 4-micrometer thickness was formed on Ti layer 14b by the electrolytic plating method.

[0086]Next, alignment of the semiconductor device 10 and the dimple plate 30 was carried out, the solder ball 36 of the dimple plate 30 was transferred in the electrode layer 14 of the semiconductor device 10, and the solder vamp 16 was formed on the electrode layer 14 of the bare chip 12.

[0087]Next, alignment of the semiconductor device 10 was carried out to the element helicopter loading site of the circuit board 20, the solder vamp 16 on the electrode layer 14 of the semiconductor device 10 was joined by solder to the electrode layer 22 of the circuit board 20, and the electronic circuit was manufactured.

[0088]It was observed by viewing whether in a manufacturing process, it would be generated by the projection by the solder vamp 16. as a result -- the comparative example 1 -- the probability of 0.05% -- the comparative example 2 -- the probability of 0.1% -- the comparative example 3 -- the probability of 0.2% -- the comparative example 4 -- with the probability of 0.1%, in the comparative example 5, it was generated by the projection with the probability of 0.1%, and was generated in the probability of 0.2% at the comparative example 6.

[0089]The PCT examination was done with 125 \*\*, 85%RH, and the impressed electromotive force of 5V to the electronic circuit which joined the semiconductor device 10 by solder to the circuit board 20. As a result, insulation has been secured in no comparative examples 1-6 only for about 50 to 100 hours.

[0090]The thermal cycling test for 125 \*\* 30 minutes, and -55 \*\* 30 minutes was done to the same electronic circuit. The result has checked the fatigue life of 200 or more cycles in all the comparative examples 1-6.

[0091]

[Table 1]

	はんだ合金組成	金添加量 (wt%)	製造方法 (Au供給方法)	突起物 発生率 (%)	PCT試験 (時間)	融け込み試験 (秒間)
実施例1-1	Sn-3.0%Ag	1	第1の製造方法	0	200以上	200以上
実施例1-2	Sn-3.5%Ag	1	第1の製造方法	0	200以上	200以上
実施例1-3	Sn-4.0%Ag	1	第1の製造方法	0	200以上	200以上
実施例1-4	Sn-3.5%Ag-1%Zn	1	第1の製造方法	0	200以上	200以上
実施例1-5	Sn-3.5%Ag-1%Bi	1	第1の製造方法	0	200以上	200以上
実施例1-6	Sn-3.5%Ag-0.7%Cu	1	第1の製造方法	0	200以上	200以上
実施例2-1	Sn-3.0%Ag	1	第2の製造方法	0	200以上	200以上
実施例2-2	Sn-3.5%Ag	1	第2の製造方法	0	200以上	200以上
実施例2-3	Sn-4.0%Ag	1	第2の製造方法	0	200以上	200以上
実施例2-4	Sn-3.5%Ag-1%Zn	1	第2の製造方法	0	200以上	200以上
実施例2-5	Sn-3.5%Ag-1%Bi	1	第2の製造方法	0	200以上	200以上
実施例2-6	Sn-3.5%Ag-0.7%Cu	1	第2の製造方法	0	200以上	200以上
実施例3-1	Sn-3.0%Ag	1	第3の製造方法	0	200以上	200以上
実施例3-2	Sn-3.5%Ag	1	第3の製造方法	0	200以上	200以上
実施例3-3	Sn-4.0%Ag	1	第3の製造方法	0	200以上	200以上
実施例3-4	Sn-3.5%Ag-1%Zn	1	第3の製造方法	0	200以上	200以上
実施例3-5	Sn-3.5%Ag-1%Bi	1	第3の製造方法	0	200以上	200以上
実施例3-6	Sn-3.5%Ag-0.7%Cu	1	第3の製造方法	0	200以上	200以上
比較例1	Sn-3.0%Ag	0	—————	0.05	50~100	200以上
比較例2	Sn-3.5%Ag	0	—————	0.1	50~100	200以上
比較例3	Sn-4.0%Ag	0	—————	0.2	50~100	200以上
比較例4	Sn-3.5%Ag-1%Zn	0	—————	0.1	50~100	200以上
比較例5	Sn-3.5%Ag-1%Bi	0	—————	0.1	50~100	200以上
比較例6	Sn-3.5%Ag-0.7%Cu	0	—————	0.2	50~100	200以上

[0092]The experimental result was summarized about Example 1-1 to 1-6, Example 2-1 to 2-6, Example 3-1 to 3-6, and the comparative examples 1-6 which were mentioned above, and it was shown in Table 1.

[0093]

[Effect of the Invention]As above, by this invention, optimum dose of Au(s) are added to a Sn-Ag system alloy, and the solder containing Sn, and Ag and Au is used for it. Therefore, a reliable soldered joint can be realized, without being generated by the projection.

[Brief Description of the Drawings]

[Drawing 1]It is a figure showing the state where it was generated by the projection by the solder vump of the semiconductor device.

[Drawing 2]It is a constitutional diagram of a Sn-Ag system alloy.

[Drawing 3]It is a sectional view showing the semiconductor device by one embodiment of this invention.

[Drawing 4]It is a sectional view showing the electronic circuit by one embodiment of this invention.

[Drawing 5]It is a process sectional view of the 1st manufacturing method of the semiconductor device by one embodiment of this invention.

[Drawing 6]It is a sectional view showing the details of the 1st manufacturing method of the semiconductor device by one embodiment of this invention.

[Drawing 7] It is a process sectional view of the 2nd manufacturing method of the semiconductor device by one embodiment of this invention.

[Drawing 8] It is a sectional view showing the details of the 2nd manufacturing method of the semiconductor device by one embodiment of this invention.

[Drawing 9] It is a process sectional view of the 3rd manufacturing method of the semiconductor device by one embodiment of this invention.

[Drawing 10] It is a sectional view showing the details of the 3rd manufacturing method of the semiconductor device by one embodiment of this invention.

[Description of Notations]

10 -- Semiconductor device

12 -- Bare chip

14 -- Electrode layer

14a -- Al layer

14b -- Ti layer

14 c--nickel layer

14d -- Au layer

16 -- Solder vamp

20 -- Circuit board

22 -- Electrode layer

22a -- Cr layer

22b -- Cu layer

22 c--nickel layer

22d -- Au layer

30 -- Dimple plate

32 -- Hollow

34 -- Soldering paste

36 -- Solder ball

38 -- Au layer

40 -- Resist

100 -- Semiconductor chip

102 -- Electrode

104 -- Solder vamp

106 -- Projection

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-102402  
(P2001-102402A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 21/60

識別記号  
3 1 1

F I  
H 0 1 L 21/60  
21/92

タームコード\* (参考)  
3 1 1 S 5 F 0 4 4  
6 0 2 B

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願平11-278409

(22) 出願日 平成11年9月30日 (1999.9.30)

(71) 出願人 000003223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72) 発明者 清水 浩三  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 赤松 俊也  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74) 代理人 10008/479  
弁理士 北野 好人  
Fターム (参考) 5F044 KK01 LL01 QQ03 QQ04

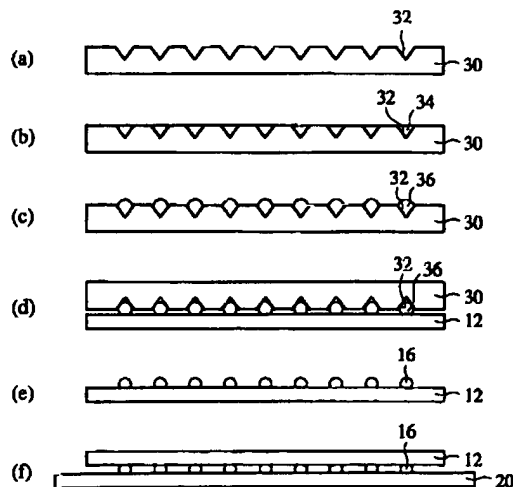
(54) 【発明の名称】 電子回路、半導体素子及び半導体素子の製造方法

(57) 【要約】

【課題】 Snを主成分とし、上述したような突起物が発生することがないはんだ材料を用いた電子回路、半導体素子及び半導体素子の製造方法を提供する。

【解決手段】 ディンプルプレート30の窪み32に充填したSn-Ag系はんだペースト34をリフローしてはんだボール36を形成し、半導体素子10の電極層上に少なくともAu層を含む電極層を形成し、電極層上に、SnとAgとを含むはんだ合金からなるはんだバンプ16を形成し、電極層からAuをはんだバンプ16に拡散させて、SnとAgとAuとを含むはんだ合金からなるはんだバンプを形成する。回路基板20の素子搭載位置に半導体素子10を位置合わせし、半導体素子10の電極層14上のはんだバンプ16を回路基板20の電極層22にはんだ接合する。

半導体素子の第1の製造方法の工程断面図



30...ディンプルプレート  
32...窪み  
34...はんだペースト  
36...はんだボール

【特許請求の範囲】

【請求項1】 SnとAgとAuとを含むはんだ合金により半導体素子が回路基板にはんだ接続されていることを特徴とする電子回路。

【請求項2】 請求項1記載の電子回路において、前記はんだ合金は、Snの重量比が90wt%以上、Agの重量比が2wt%以上、Auの重量比が0.1～5wt%の範囲内であるはんだ材料を含むことを特徴とする電子回路。

【請求項3】 SnとAgとAuとを含むはんだ合金からなるはんだバンプが形成されていることを特徴とする半導体素子。

【請求項4】 請求項3記載の半導体素子において、前記はんだ合金は、Snの重量比が90wt%以上、Agの重量比が2wt%以上、Auの重量比が0.1～5wt%の範囲内であるはんだ材料を含むことを特徴とする半導体素子。

【請求項5】 電極上に少なくともAu層を含む電極層を形成し、  
前記電極層上に、SnとAgとを含むはんだ合金からなるはんだバンプを形成し、  
前記電極層からAuを前記バンプに拡散させて、SnとAgとAuとを含むはんだ合金からなるはんだバンプを形成することを特徴とする半導体素子の製造方法。

【請求項6】 バンプ形成用基板の窪み内面にAu層を形成し、  
前記窪みにSnとAgとを含むはんだペーストを充填し、  
前記窪み内面のAu層から前記はんだペーストにAuを拡散させて、SnとAgとAuとを含むはんだ合金からなるはんだボールを形成し、  
半導体素子の電極上に前記はんだボールを転写して、SnとAgとAuとを含むはんだ合金からなるはんだバンプを形成することを特徴とする半導体素子の製造方法。

【請求項7】 バンプ形成用基板の窪みに、SnとAgとAuとを含むはんだペーストを充填し、  
前記窪みに、SnとAgとAuとを含むはんだ合金からなるはんだボールを形成し、  
半導体素子の電極上に前記はんだボールを転写して、SnとAgとAuとを含むはんだ合金からなるはんだバンプを形成することを特徴とする半導体素子の製造方法。

【請求項8】 請求項5又は6記載の半導体素子の製造方法において、  
前記Au層は、0.05～2μm厚であることを特徴とする半導体素子の製造方法。

【請求項9】 請求項5乃至8のいずれか1項に記載の半導体素子の製造方法において、  
前記はんだ合金は、Snの重量比が90wt%以上、Agの重量比が2wt%以上、Auの重量比が0.1～5wt%の範囲内であるはんだ材料を含むことを特徴とす

る半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ベアチップの半導体素子が回路基板にはんだ接続されている電子回路、はんだ接続のためのはんだバンプが形成されている半導体素子及び半導体素子の製造方法に関する。

【0002】

【従来の技術】近年、電子部品実装の高密度化に伴い、電子部品の入出力端子数が多くなり、端子間のピッチが微細化への要請が強くなっている。このため、電子部品を回路基板に接合する方法として、半導体チップと電極とをワイヤボンディングにより接合して半導体素子を形成し、その半導体素子を回路基板に接続する接合方法よりも、ベアチップの半導体素子にはんだバンプを形成して回路基板に直接一括して接合するフリップチップ接合方法が主流となってきている。

【0003】フリップチップ接合では、ベアチップの電極にはんだバンプを形成し、そのはんだバンプを回路基板の電極に接合する。はんだバンプの材料として、これまではPb-Sn系のはんだ合金が多く用いられている。

【0004】しかしながら、Pbには複数の同位体が存在し、それら同位体はウラン(U)、トリウム(Th)の崩壊系列中の中間生成物又は最終生成物であり、崩壊過程においてHe原子を放出するα崩壊を伴う。このため、はんだ合金中のPbからα線を生じ、そのα線が半導体素子、例えば、CMOS素子に到達してソフトエラーを引き起こすことが報告されている。また、Pbは土壌に流出すると酸性雨によって溶けだして環境に影響を及ぼすことがわかっており、環境保護も面からもPbを使わないはんだ材料が強く求められている。

【0005】そこで、Pb-Sn系のはんだ材料にかわって、放射性不純物の比較的少ないSnを主成分としたはんだ合金が使われはじめている。

【0006】

【発明が解決しようとする課題】本願発明者は、Snを主成分としたはんだ材料としてSn-Ag系合金に着目している。特に、Sn-3.5wt%Ag共晶はんだは、融点が221℃と、これまで一般に用いられてきたSn-Pb共晶はんだの融点である183℃に比較的近いことから、有力な材料として注目している。このはんだ材料は、電極材料のNiやCuとの反応速度が速くて電極材料中に拡散しやすいため、通常の半導体素子や回路基板の電極では、拡散によりバンプが欠ける等の不良を生じやすいという問題点があるものの、電極膜の構成や膜厚、成膜条件等を工夫することにより信頼性のあるはんだ接合が実現できるようになってきている。

【0007】しかしながら、本願発明者は、上記のSn-3.5wt%Ag共晶はんだを用いた場合、はんだバ



だペーストを充填し、前記窪み内面のAu層から前記はんだペーストにAuを拡散させて、SnとAgとAuとを含むはんだ合金からなるはんだボールを形成し、半導体素子の電極上に前記はんだボールを転写して、SnとAgとAuとを含むはんだ合金からなるはんだバンパを形成することを特徴とする半導体素子の製造方法によって達成される。

【0025】上記目的は、バンパ形成用基板の窪みに、SnとAgとAuとを含むはんだペーストを充填し、前記窪みに、SnとAgとAuとを含むはんだ合金からなるはんだボールを形成し、半導体素子の電極上に前記はんだボールを転写して、SnとAgとAuとを含むはんだ合金からなるはんだバンパを形成することを特徴とする半導体素子の製造方法によって達成される。

【0026】上述した半導体素子の製造方法において、前記Au層は、0.05～2μm厚であることが望ましい。

【0027】上述した半導体素子の製造方法において、前記はんだ合金は、Snの重量比が90wt%以上、Agの重量比が2wt%以上、Auの重量比が0.1～5wt%の範囲内であるはんだ材料を含むことが望ましい。

【0028】

【発明の実施の形態】本発明の一実施形態による半導体素子について図3を用いて説明する。本実施形態の半導体素子10はベアチップ12の電極層14上にはんだバンパ16が形成されている。ベアチップ12上に、約100nm厚のAl層14aと約100nm厚のTi層14bと約4μm厚のNi層14cからなる電極層14が形成され、この電極層14上に、Sn-Ag系合金に適量のAuを加え、SnとAgとAuとを含むはんだ合金からなるはんだバンパ16が形成されている。本実施形態のはんだ合金は、Snの重量比が90wt%以上、Agの重量比が2wt%以上、Auの重量比が0.1～5wt%の範囲内であることが望ましい。

【0029】本実施形態によれば、はんだ接続のためのはんだ合金としてSn-Ag系合金に適量のAuを加えたので、はんだバンパの形成工程中においてはんだバンパにAg<sub>3</sub>Sn結晶の突起物が生成するのを有効に防止することができる。

【0030】本実施形態の半導体素子を用いた電子回路を図4に示す。この電子回路は、回路基板20に本実施形態の半導体素子10がはんだ接続されている。回路基板20上に、約100nm厚のCr層22aと約0.5μm厚のCu層22bと約3μm厚のNi層22cと約500nm厚のAu層22dからなる電極層22が形成され、この電極層22に、半導体素子10のはんだバンパ16が接続されている。

【0031】本実施形態によれば、半導体素子10のはんだバンパ16にAg<sub>3</sub>Sn結晶の突起物が生成されて

いないので、突起物によりイオンマイグレーション等を引き起こしたり、電気ショート等の不良が発生することなく、十分な信頼性を確保することができる。

【0032】本発明の一実施形態による半導体素子を製造する複数の製造方法について、図5乃至図10を用いて説明する。本実施形態の半導体素子を製造するためには、はんだバンパ16が形成されるときに、Sn-Ag系合金に適量のAuが加えられ、SnとAgとAuとを含むはんだ合金となっていることが必要である。このためには、Sn-Ag系合金に最初からAuを加えておいてもよいし、はんだバンパ16の形成直前にAuを加えてもよい。Auを加える時期により、次のような製造方法がある。

【0033】(第1の製造方法) 本発明の一実施形態による半導体素子の第1の製造方法を図5及び図6を用いて説明する。

【0034】まず、バンパ形成用のディンプルプレート(Dimple Plate)30を用意する(図5(a))。ディンプルプレート30にはバンパを形成するためにすり鉢形状の窪み32が形成されている。

【0035】次に、このディンプルプレート30の窪み32に、Snに3.5wt%のAgを混入したSn-Ag系はんだペースト34を充填する(図5(b))。続いて、ディンプルプレート30を約280℃に加熱してリフローし、はんだボール36を形成する(図5(c))。

【0036】一方、半導体素子10のベアチップ12上に、約100nm厚のAl層14aと約100nm厚のTi層14bと約4μm厚のNi層14cと約100nm厚のAu層14dからなる電極層14を形成しておく。例えば、ベアチップ12表面のAl電極14a上にスパッタリング法によりTi層14bを形成する。続いて、電解メッキ法により、Ti層14b上にNi層14cを形成する。続いて、電解メッキ法により、Ni層14c上にAu層14dを形成する。このAu層14dの膜厚は0.05～2μm厚の範囲であることが望ましい。

【0037】次に、半導体素子10とディンプルプレート30とを位置合わせし(図6(a))、ディンプルプレート30を半導体素子10に近づけて、半導体素子10の電極層14にディンプルプレート30のはんだボール36を転写する(図5(d))。転写されたはんだボール36は、ベアチップ12の電極層14上にはんだバンパ16として形成される(図5(e))。転写直後は、図6(b)に示すように、ベアチップ12上の電極層14の最上層であるAu層14d上に、Sn-Ag系合金のはんだバンパ16が形成される。その後、約270～280℃で加熱することにより最上層のAu層14dのAuがはんだバンパ16中に拡散して、図6(c)に示すように、ベアチップ12上の電極層14のNi層

ンプに図1に示すような突起物が発生することを発見した。図1(a)は半導体チップ100を上面から見た平面図であり、図1(b)は断面図である。

【0008】半導体チップ100の電極102上に形成されたはんだバンプ104に、バンプ径の2倍程度の長さの突起物106が形成されている。この突起物106の長さは最大200～300 $\mu$ mにも達することがある。このため、半導体チップ100の電極102のピッチが200 $\mu$ m以下の場合には、この突起物106により隣接するはんだバンプ104と接触したり、突起物106によりイオンマイグレーション等を引き起こしたりして、電気ショート等の不良が発生し、信頼性を低下させるという問題が生じている。

【0009】本発明の目的は、Snを主成分とし、上述したような突起物が発生することがないはんだ材料を用いた電子回路、半導体素子及び半導体素子の製造方法を提供することにある。

【0010】

【課題を解決するための手段】本願発明者は、上述した問題点を解決すべく鋭意研究を行い、突起物が生成されるメカニズムを解明し、その結果、Sn-Ag系合金に適量のAuを加え、SnとAgとAuとを含むはんだ合金を用いることにより突起物の生成を防止できることを見いだした。

【0011】図2にSn-Ag系合金の状態図を示す。図2に示すように、Sn-Ag系合金は、Snを主成分とする場合、特にSn-3.5wt%Ag近傍では、熔融状態でSnとAg<sub>3</sub>Snの2相により構成される。X線回折等の分析結果から突起物はAg<sub>3</sub>Snであることが判明している。したがって、図2の状態図から推測すると、Agの重量比が3.5wt%より多い場合は、はんだ合金が液相から固相に変化する際にAg<sub>3</sub>Snが徐々に析出する状態となり、その結晶が成長することによりAg<sub>3</sub>Snの突起物が生成されると推測される。これが突起物が生成されるメカニズムである。

【0012】Sn-Ag系合金にAuを加えた場合に突起物の生成が防止できるのは次のようなメカニズムによる。Snを主成分としたはんだ中にAuを溶け込ますと、冷却時にSnと結合してAu-Sn化合物を生成する。このAu-Sn化合物は、はんだ表面上に分布しやすい特性を有している。

【0013】はんだバンプの表面にAu-Sn化合物が形成されていると、はんだ合金の冷却中にバンプ表面においてAg<sub>3</sub>Sn結晶が成長することなく、微細な結晶状態のままはんだ中にとどめられる。

【0014】また、Ag-Sn系合金の場合のように、はんだバンプ内に形成されたAg<sub>3</sub>Sn結晶が成長して、バンプの最表面層を突き破って突起物となることも考えられる。しかしながら、バンプの最表面層がAu-Sn化合物であると、Au-Sn化合物の機械的特性、

主としてヤング率や引張強度がAg<sub>3</sub>Sn化合物よりも大きいため、Ag<sub>3</sub>Sn結晶がAu-Sn化合物の最表面層を突き破ることなく、はんだバンプ内にとどめられる。

【0015】このようなメカニズムにより、Sn-Ag系合金に適量のAuを加え、SnとAgとAuとを含むはんだ合金を用いることにより突起物の生成を防止することができる。

【0016】また、Snの重量比が90wt%以上で、Agの重量比が2wt%以上のSn-Ag系合金の場合、Auの重量比が0.1～5wt%の範囲内であることが望ましい。電極にAu層を積層することによりAuを供給する場合には、上記範囲は、Au層の膜厚として0.05～2 $\mu$ mの範囲に相当する。このような範囲が望ましいのは次のような理由による。

【0017】Auの重量比が0.1wt%よりも小さいと、Au-Sn化合物が十分に形成されないため、Ag<sub>3</sub>Snの結晶成長を完全に抑止することができない。

【0018】逆に、Auの重量比が5wt%よりも大きいと、Au-Sn化合物の量が多すぎてはんだ自身の機械的特性が劣化して、はんだ接合部の疲労寿命等の信頼性が低下するからである。また、Auの含有量が増加するとはんだ材料の融点が上昇して液相線と固相線の温度差が20℃以上になり、はんだバンプが液体で存在する時間が長くなって位置ずれを起こしやすくなり、はんだ付け工程の信頼性が低下するからである。

【0019】したがって、上記目的は、SnとAgとAuとを含むはんだ合金により半導体素子が回路基板にはんだ接続されていることを特徴とする電子回路によって達成される。

【0020】上述した電子回路において、前記はんだ合金は、Snの重量比が90wt%以上、Agの重量比が2wt%以上、Auの重量比が0.1～5wt%の範囲内であるはんだ材料を含むことが望ましい。

【0021】上記目的は、SnとAgとAuとを含むはんだ合金からなるはんだバンプが形成されていることを特徴とする半導体素子によって達成される。

【0022】上述した半導体素子において、前記はんだ合金は、Snの重量比が90wt%以上、Agの重量比が2wt%以上、Auの重量比が0.1～5wt%の範囲内であるはんだ材料を含むことが望ましい。

【0023】上記目的は、電極上に少なくともAu層を含む電極層を形成し、前記電極層上に、SnとAgとを含むはんだ合金からなるはんだバンプを形成し、前記電極層からAuを前記バンプに拡散させて、SnとAgとAuとを含むはんだ合金からなるはんだバンプを形成することを特徴とする半導体素子の製造方法によって達成される。

【0024】上記目的は、バンプ形成用基板の窪み内面にAu層を形成し、前記窪みにSnとAgとを含むはんだ

14c上にSn-Ag系合金にAuが添加されたはんだバンパ16が形成される。

【0038】次に、回路基板20の素子搭載位置に半導体素子10を位置合わせし、半導体素子10を回路基板20に近づけて、半導体素子10の電極層14上のはんだバンパ16を回路基板20の電極層22にはんだ接合する(図5(f))。このようにして電子回路が完成する。

【0039】このように第1の製造方法によれば、SnとAgとAuを含むはんだ合金によりはんだバンパを形成したので、はんだバンパに $Ag_3Sn$ 結晶の突起物が生成するのを有効に防止することができる。

【0040】(第2の製造方法)本発明の一実施形態による半導体素子の第2の製造方法を図7及び図8を用いて説明する。

【0041】まず、バンパ形成用のディンプルプレート30を用意する。ディンプルプレート30の窪み32以外の表面領域にレジスト40を塗布し、スパッタリング法又は蒸着法により窪み32内面に約100nm～2μm厚のAu層38を形成する(図7(a))。このAu層38の膜厚は0.05～2μm厚の範囲であることが望ましい。

【0042】次に、このディンプルプレート30の窪み32内のAu層38上に、Snに3.5wt%のAgを混入したSn-Ag系はんだペースト34を充填する(図7(b))。続いて、ディンプルプレート30を約280℃に加熱してリフローし、はんだボール36を形成する(図7(c))。Sn-Ag系はんだペースト34にAu層38のAuが拡散して、Sn-Ag系合金にAuが添加されたはんだボール36となる。

【0043】一方、半導体素子10のベアチップ12上に、約100nm厚のAl層14a上と約100nm厚のTi層14bと約4μm厚のNi層14cからなる電極層14を形成しておく。

【0044】次に、半導体素子10とディンプルプレート30とを位置合わせし、ディンプルプレート30を半導体素子10に近づけて、半導体素子10の電極層14にディンプルプレート30のはんだボール36を転写する(図7(d))。転写されたはんだボール36は、ベアチップ12の電極層14上にはんだバンパ16として形成される(図7(e))。その結果、図8に示すように、ベアチップ12上の電極層14のNi層14c上にSn-Ag系合金のAuが添加されたはんだバンパ16が形成される。

【0045】次に、第1の製造方法と同様に、回路基板20の素子搭載位置に半導体素子10を位置合わせし、半導体素子10を回路基板20に近づけて、半導体素子10の電極層14上のはんだバンパ16を回路基板20の電極層22にはんだ接合する。このようにして電子回路が完成する。

【0046】この第1の製造方法によれば、SnとAgとAuとを含むはんだ合金によりはんだバンパを形成したので、はんだバンパに $Ag_3Sn$ 結晶の突起物が生成するのを有効に防止することができる。

【0047】(第3の製造方法)本発明の一実施形態による半導体素子の第3の製造方法を図9及び図10を用いて説明する。

【0048】まず、バンパ形成用のディンプルプレート30を用意する。このディンプルプレート30の窪み32内に、Sn-Ag系合金に適量のAuを混入したはんだペースト34を充填する(図9(a))。はんだペースト34は、例えば、Snの重量比が90wt%以上、Agの重量比が2wt%以上、Auの重量比が0.1～5wt%の範囲内とする。

【0049】次に、ディンプルプレート30を約280℃に加熱してリフローし、はんだボール36を形成する(図9(b))。Sn-Ag系合金にAuが添加されたはんだボール36となる。

【0050】一方、半導体素子10のベアチップ12上に、約100nm厚のAl層14a上と約100nm厚のTi層14bと約4μm厚のNi層14cからなる電極層14を形成しておく。

【0051】次に、半導体素子10とディンプルプレート30とを位置合わせし、ディンプルプレート30を半導体素子10に近づけて、半導体素子10の電極層14にディンプルプレート30のはんだボール36を転写する(図9(c))。転写されたはんだボール36は、ベアチップ12の電極層14上にはんだバンパ16として形成される(図9(d))。その結果、図10に示すように、ベアチップ12上の電極層14のNi層14c上にSn-Ag系合金のAuが添加されたはんだバンパ16が形成される。

【0052】次に、第1の製造方法と同様に、回路基板20の素子搭載位置に半導体素子10を位置合わせし、半導体素子10を回路基板20に近づけて、半導体素子10の電極層14上のはんだバンパ16を回路基板20の電極層22にはんだ接合する。このようにして電子回路が完成する。

【0053】この第3の製造方法によれば、SnとAgとAuとを含むはんだ合金によりはんだバンパを形成したので、はんだバンパに $Ag_3Sn$ 結晶の突起物が生成するのを有効に防止することができる。

【0054】本発明は上記実施形態に限らず種々の変形が可能である。例えば、上記実施形態ではAu層を半導体素子の電極層上やディンプルプレートの窪み内に形成したが、接合される相手の回路基板の電極層上にAu層を形成し、このAu層からはんだ合金に金を拡散させるようにしてもよい。また、半導体素子と回路基板の両方の電極層にAu層を形成してもよい。

【0055】

【実施例】(実施例1-1~1-6) 実施例1-1~1-6では第1の製造方法により半導体素子を製造した。

【0056】ディンブルプレート30の窪み32に充填したはんだペースト34をリフローしてはんだボール36を形成した。はんだペースト34は、実施例1-1ではSnに3.0wt%のAgを混入したSn-Ag系はんだ合金を使用し、実施例1-2ではSnに3.5wt%のAgを混入したSn-Ag系はんだ合金を使用し、実施例1-3ではSnに4.0wt%のAgを混入したSn-Ag系はんだ合金を使用し、実施例1-4ではSnに3.5wt%のAgと1.0wt%のZnとを混入したSn-Ag-Zn系はんだ合金を使用し、実施例1-5ではSnに3.5wt%のAgと1.0wt%のBiとを混入したSn-Ag-Bi系はんだ合金を使用し、実施例1-6ではSnに3.5wt%のAgと0.7wt%のCuとを混入したSn-Ag-Cu系はんだ合金を使用した。これら実施例1-1~1-6における、はんだ合金のSn中のPbの存在比は1ppm以下であり、 $\alpha$ 線量は0.01cph/cm<sup>2</sup>以下のものを使用した。

【0057】半導体素子10のベアチップ12のAl層14a上に、スパッタリング法により約100nm厚のTi層14bを形成し、電解メッキ法によりTi層14b上に約4 $\mu$ m厚のNi層14cを形成し、電解メッキ法によりNi層14c上に500nm厚のAu層14dを形成した。

【0058】次に、半導体素子10とディンブルプレート30とを位置合わせし、半導体素子10の電極層14にディンブルプレート30のはんだボール36を転写し、ベアチップ12の電極層14上にはんだバンパ16を形成した。電極層14の最上層であるAu層14dからはんだバンパ16中にAuが拡散して、上述したはんだ合金にAuが添加されたはんだバンパ16が形成された。

【0059】次に、回路基板20の素子搭載位置に半導体素子10を位置合わせし、半導体素子10の電極層14上のはんだバンパ16を回路基板20の電極層22にはんだ接合して、電子回路を製造した。

【0060】製造工程中においてはんだバンパ16に突起物が発生するかどうかを目視により観察した。その結果、全ての実施例1-1~1-6において突起物が観測されなかった。

【0061】半導体素子10を回路基板20にはんだ接合した電子回路に対して、125℃、85%RH、5Vの印加電圧でPCT(Presser Cooker Test)試験を行った。その結果、全ての実施例1-1~1-6において200時間以上、絶縁性が確保できた。

【0062】同じ電子回路に対して、125℃30分と-55℃30分の熱サイクル試験を行った。その結果、

全ての実施例1-1~1-6において200サイクル以上の疲労寿命が確認できた。

【0063】(実施例2-1~2-6) 実施例2-1~2-6では第2の製造方法により半導体素子を製造した。

【0064】ディンブルプレート30の窪み32内面にスパッタリング法又は蒸着法により500nm厚のAu層38を形成した。次に、ディンブルプレート30の窪み32に充填したはんだペースト34をリフローしてはんだボール36を形成した。

【0065】はんだペースト34は、実施例2-1ではSnに3.0wt%のAgを混入したSn-Ag系はんだ合金を使用し、実施例2-2ではSnに3.5wt%のAgを混入したSn-Ag系はんだ合金を使用し、実施例2-3ではSnに4.0wt%のAgを混入したSn-Ag系はんだ合金を使用し、実施例2-4ではSnに3.5wt%のAgと1.0wt%のZnとを混入したSn-Ag-Zn系はんだ合金を使用し、実施例2-5ではSnに3.5wt%のAgと1.0wt%のBiとを混入したSn-Ag-Bi系はんだ合金を使用し、実施例2-6ではSnに3.5wt%のAgと0.7wt%のCuとを混入したSn-Ag-Cu系はんだ合金を使用した。これら実施例2-1~2-6における、はんだ合金のSn中のPbの存在比は1ppm以下であり、 $\alpha$ 線量は0.01cph/cm<sup>2</sup>以下のものを使用した。

【0066】ディンブルプレート30の窪み32内面のAu層38からはんだバンパ16中にAuが拡散して、上述したはんだ合金にAuが添加されたはんだボール36が形成された。

【0067】半導体素子10のベアチップ12のAl層14a上に、スパッタリング法により約100nm厚のTi層14bを形成し、電解メッキ法によりTi層14b上に約4 $\mu$ m厚のNi層14cを形成した。

【0068】次に、半導体素子10とディンブルプレート30とを位置合わせし、半導体素子10の電極層14にディンブルプレート30のはんだボール36を転写し、ベアチップ12の電極層14上にはんだバンパ16を形成した。

【0069】次に、回路基板20の素子搭載位置に半導体素子10を位置合わせし、半導体素子10の電極層14上のはんだバンパ16を回路基板20の電極層22にはんだ接合して、電子回路を製造した。

【0070】製造工程中においてはんだバンパ16に突起物が発生するかどうかを光学顕微鏡により観察した。その結果、全ての実施例2-1~2-6において突起物が観測されなかった。

【0071】半導体素子10を回路基板20にはんだ接合した電子回路に対して、125℃、85%RH、5Vの印加電圧でPCT試験を行った。その結果、全ての実

施例2-1~2-6において200時間以上、絶縁性が確保できた。

【0072】同じ電子回路に対して、125℃30分と-55℃30分の熱サイクル試験を行った。その結果、全ての実施例2-1~2-6において200サイクル以上の疲労寿命が確認できた。

【0073】(実施例3-1~3-6) 実施例3-1~3-6では第3の製造方法により半導体素子を製造した。

【0074】ディンプルプレート30の窪み32内にSn-Ag系合金に適量のAuを混入したはんだペースト34を充填した。

【0075】はんだペースト34は、実施例3-1ではSnに3.0wt%のAgを混入したSn-Ag系はんだ合金を使用し、実施例3-2ではSnに3.5wt%のAgを混入したSn-Ag系はんだ合金を使用し、実施例3-3ではSnに4.0wt%のAgを混入したSn-Ag系はんだ合金を使用し、実施例3-4ではSnに3.5wt%のAgと1.0wt%のZnとを混入したSn-Ag-Zn系はんだ合金を使用し、実施例3-5ではSnに3.5wt%のAgと1.0wt%のBiとを混入したSn-Ag-Bi系はんだ合金を使用し、実施例3-6ではSnに3.5wt%のAgと0.7wt%のCuとを混入したSn-Ag-Cu系はんだ合金を使用し、これらにそれぞれ1wt%の金を添加した。これら実施例3-1~3-6における、はんだ合金のSn中のPbの存在比は1ppm以下であり、 $\alpha$ 線量は0.01cph/cm<sup>2</sup>以下のものを使用した。

【0076】ディンプルプレート30を窪み32内のはんだペースト34をリフローして、上述した組成のはんだ合金にはんだボール36を形成した。

【0077】半導体素子10のペアチップ12のAl層14a上に、スパッタリング法により約100nm厚のTi層14bを形成し、電解メッキ法によりTi層14b上に約4 $\mu$ m厚のNi層14cを形成した。

【0078】次に、半導体素子10とディンプルプレート30とを位置合わせし、半導体素子10の電極層14にディンプルプレート30のはんだボール36を転写し、ペアチップ12の電極層14上にはんだバンパ16を形成した。

【0079】次に、回路基板20の素子搭載位置に半導体素子10を位置合わせし、半導体素子10の電極層14上のはんだバンパ16を回路基板20の電極層22にはんだ接合して、電子回路を製造した。

【0080】製造工程中においてはんだバンパ16に突起物が発生するかどうかを目視により観察した。その結果、全ての実施例3-1~3-6において突起物が観測されなかった。

【0081】半導体素子10を回路基板20にはんだ接合した電子回路に対して、125℃、85%RH、5V

の印加電圧でPCT試験を行った。その結果、全ての実施例3-1~3-6において200時間以上、絶縁性が確保できた。

【0082】同じ電子回路に対して、125℃30分と-55℃30分の熱サイクル試験を行った。その結果、全ての実施例3-1~3-6において200サイクル以上の疲労寿命が確認できた。

【0083】(比較例1~6) 比較例1~6は金を添加することなくはんだバンパを形成した。

【0084】ディンプルプレート30の窪み32に充填したはんだペースト34をリフローしてはんだボール36を形成した。はんだペースト34は、比較例1ではSnに3.0wt%のAgを混入したSn-Ag系はんだ合金を使用し、比較例2ではSnに3.5wt%のAgを混入したSn-Ag系はんだ合金を使用し、比較例3ではSnに4.0wt%のAgを混入したSn-Ag系はんだ合金を使用し、比較例4ではSnに3.5wt%のAgと1.0wt%のZnとを混入したSn-Ag-Zn系はんだ合金を使用し、比較例5ではSnに3.5wt%のAgと1.0wt%のBiとを混入したSn-Ag-Bi系はんだ合金を使用し、比較例6ではSnに3.5wt%のAgと0.7wt%のCuとを混入したSn-Ag-Cu系はんだ合金を使用した。これら比較例1~6における、はんだ合金のSn中のPbの存在比は1ppm以下であり、 $\alpha$ 線量は0.01cph/cm<sup>2</sup>以下のものを使用した。

【0085】半導体素子10のペアチップ12のAl層14a上に、スパッタリング法により約100nm厚のTi層14bを形成し、電解メッキ法によりTi層14b上に約4 $\mu$ m厚のNi層14cを形成した。

【0086】次に、半導体素子10とディンプルプレート30とを位置合わせし、半導体素子10の電極層14にディンプルプレート30のはんだボール36を転写し、ペアチップ12の電極層14上にはんだバンパ16を形成した。

【0087】次に、回路基板20の素子搭載位置に半導体素子10を位置合わせし、半導体素子10の電極層14上のはんだバンパ16を回路基板20の電極層22にはんだ接合して、電子回路を製造した。

【0088】製造工程中においてはんだバンパ16に突起物が発生するかどうかを目視により観察した。その結果、比較例1では0.05%の確率で、比較例2では0.1%の確率で、比較例3では0.2%の確率で、比較例4では0.1%の確率で、比較例5では0.1%の確率で、比較例6では0.2%の確率で、突起物が発生した。

【0089】半導体素子10を回路基板20にはんだ接合した電子回路に対して、125℃、85%RH、5Vの印加電圧でPCT試験を行った。その結果、全ての比較例1~6において50~100時間程度しか絶縁性が

確保できなかった。

【0090】同じ電子回路に対して、125℃30分と-55℃30分の熱サイクル試験を行った。その結果、全ての比較例1～6において200サイクル以上の疲労

寿命が確認できた。

【0091】

【表1】

	はんだ合金組成	金添加量 (wt%)	製造方法 (Au供給方法)	突起物発生率 (%)	PCT試験 (時間)	熱サイクル試験 (サイクル)
実施例1-1	Sn-3.0%Ag	1	第1の製造方法	0	200以上	200以上
実施例1-2	Sn-3.5%Ag	1	第1の製造方法	0	200以上	200以上
実施例1-3	Sn-4.0%Ag	1	第1の製造方法	0	200以上	200以上
実施例1-4	Sn-3.5%Ag-1%Zn	1	第1の製造方法	0	200以上	200以上
実施例1-5	Sn-3.5%Ag-1%B i	1	第1の製造方法	0	200以上	200以上
実施例1-6	Sn-3.5%Ag-0.7%Cu	1	第1の製造方法	0	200以上	200以上
実施例2-1	Sn-3.0%Ag	1	第2の製造方法	0	200以上	200以上
実施例2-2	Sn-3.5%Ag	1	第2の製造方法	0	200以上	200以上
実施例2-3	Sn-4.0%Ag	1	第2の製造方法	0	200以上	200以上
実施例2-4	Sn-3.5%Ag-1%Zn	1	第2の製造方法	0	200以上	200以上
実施例2-5	Sn-3.5%Ag-1%B i	1	第2の製造方法	0	200以上	200以上
実施例2-6	Sn-3.5%Ag-0.7%Cu	1	第2の製造方法	0	200以上	200以上
実施例3-1	Sn-3.0%Ag	1	第3の製造方法	0	200以上	200以上
実施例3-2	Sn-3.5%Ag	1	第3の製造方法	0	200以上	200以上
実施例3-3	Sn-4.0%Ag	1	第3の製造方法	0	200以上	200以上
実施例3-4	Sn-3.5%Ag-1%Zn	1	第3の製造方法	0	200以上	200以上
実施例3-5	Sn-3.5%Ag-1%B i	1	第3の製造方法	0	200以上	200以上
実施例3-6	Sn-3.5%Ag-0.7%Cu	1	第3の製造方法	0	200以上	200以上
比較例1	Sn-3.0%Ag	0	—	0.05	50～100	200以上
比較例2	Sn-3.5%Ag	0	—	0.1	50～100	200以上
比較例3	Sn-4.0%Ag	0	—	0.2	50～100	200以上
比較例4	Sn-3.5%Ag-1%Zn	0	—	0.1	50～100	200以上
比較例5	Sn-3.5%Ag-1%B i	0	—	0.1	50～100	200以上
比較例6	Sn-3.5%Ag-0.7%Cu	0	—	0.2	50～100	200以上

【0092】上述した実施例1-1～1-6、実施例2-1～2-6、実施例3-1～3-6、比較例1～6について実験結果をまとめて表1に示した。

【0093】

【発明の効果】以上の通り、本発明によれば、Sn-Ag系合金に適量のAuを加え、SnとAgとAuとを含むはんだ合金を用いることにより、突起物が発生することなく信頼性のあるはんだ接合が実現できる。

【図面の簡単な説明】

【図1】半導体素子のはんだバンプに突起物が発生した状態を示す図である。

【図2】Sn-Ag系合金の状態図である。

【図3】本発明の一実施形態による半導体素子を示す断面図である。

【図4】本発明の一実施形態による電子回路を示す断面図である。

【図5】本発明の一実施形態による半導体素子の第1の製造方法の工程断面図である。

【図6】本発明の一実施形態による半導体素子の第1の製造方法の詳細を示す断面図である。

【図7】本発明の一実施形態による半導体素子の第2の製造方法の工程断面図である。

【図8】本発明の一実施形態による半導体素子の第2の製造方法の詳細を示す断面図である。

【図9】本発明の一実施形態による半導体素子の第3の製造方法の工程断面図である。

【図10】本発明の一実施形態による半導体素子の第3の製造方法の詳細を示す断面図である。

【符号の説明】

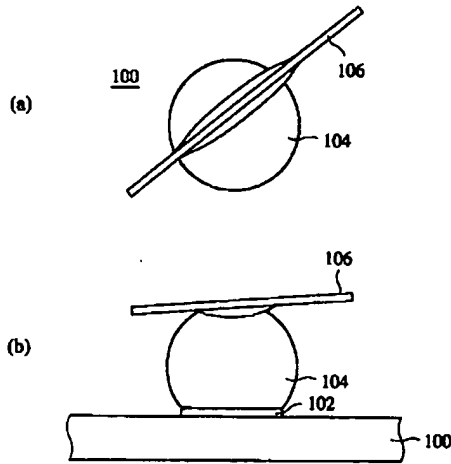
- 10…半導体素子
- 12…ベアチップ
- 14…電極層
- 14a…Al層
- 14b…Ti層
- 14c…Ni層
- 14d…Au層
- 16…はんだバンプ
- 20…回路基板
- 22…電極層
- 22a…Cr層
- 22b…Cu層
- 22c…Ni層
- 22d…Au層
- 30…ディンプルプレート
- 32…窪み
- 34…はんだペースト
- 36…はんだボール
- 38…Au層

40...レジスト  
100...半導体チップ  
102...電極

104...はんだバンプ  
106...突起物

【図1】

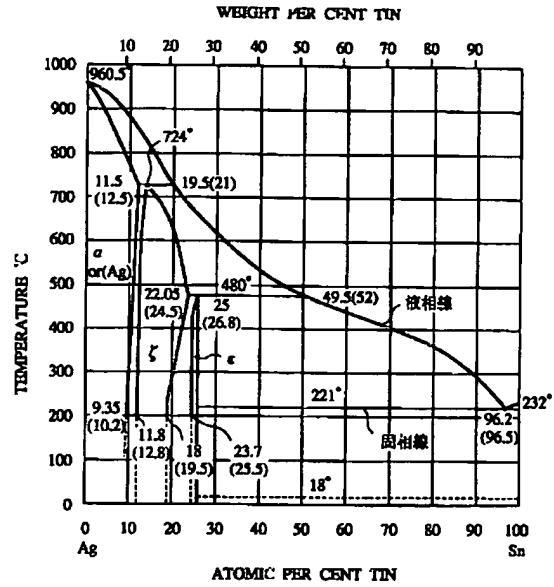
半導体素子のはんだバンプに突起物が発生した状態を示す図



100...半導体チップ  
102...電極  
104...はんだバンプ  
106...突起物

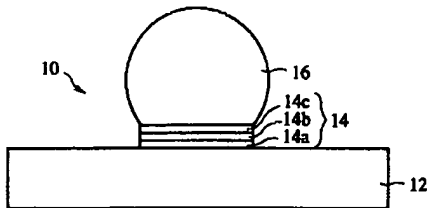
【図2】

Sn-Ag系合金の状態図



【図3】

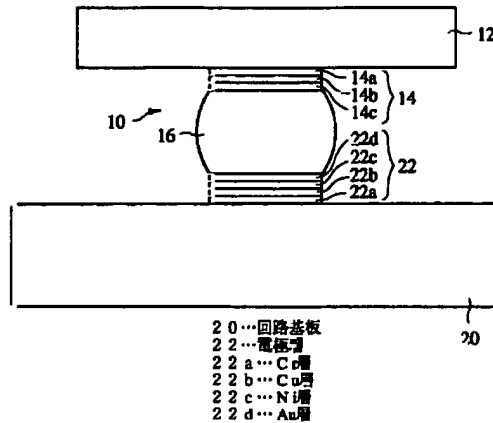
本発明の一実施形態による半導体素子を示す断面図



10...半導体素子  
12...ベースチップ  
14...電極層  
14a...A層  
14b...T層  
14c...N層  
16...はんだバンプ

【図4】

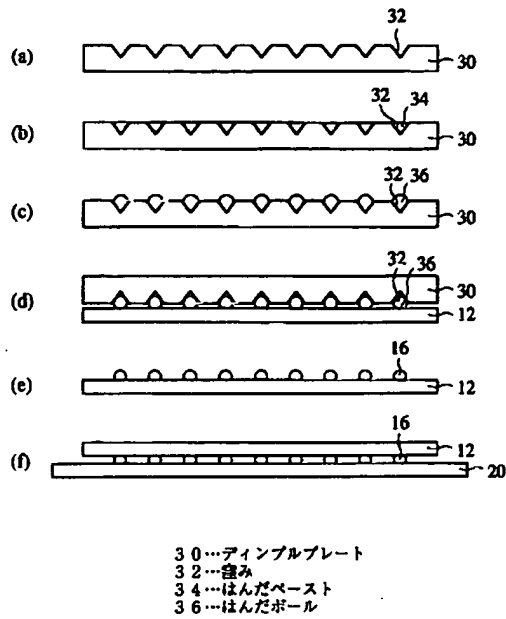
本発明の一実施形態による電子回路を示す断面図



20...回路基板  
22...電極層  
22a...Cu層  
22b...Cu層  
22c...N層  
22d...Au層

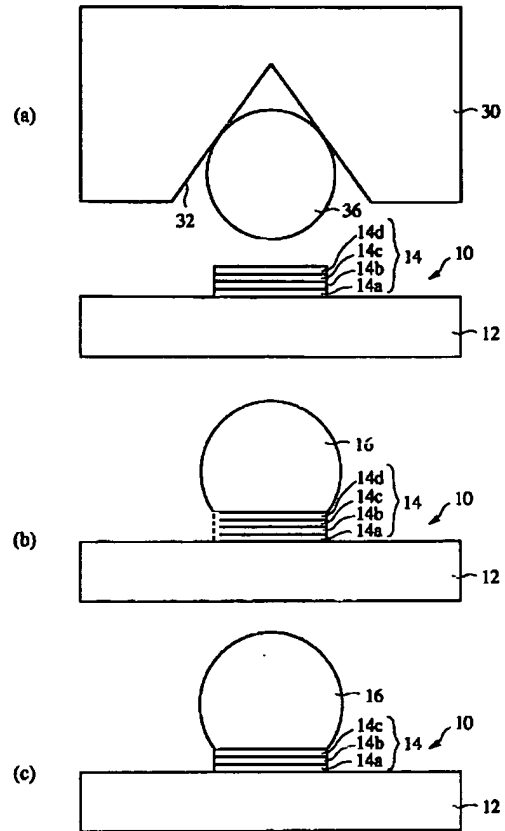
【図5】

半導体素子の第1の製造方法の工程断面図



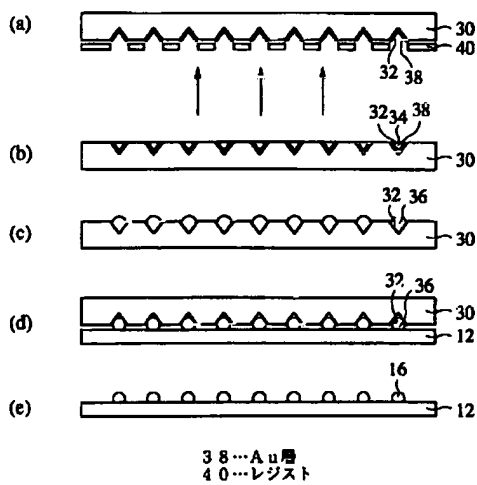
【図6】

半導体素子の第1の製造方法の詳細を示す断面図



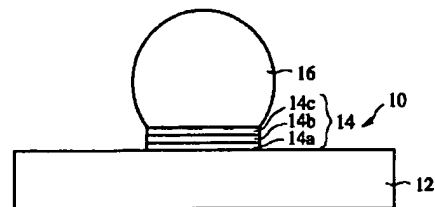
【図7】

半導体素子の第2の製造方法の工程断面図



【図8】

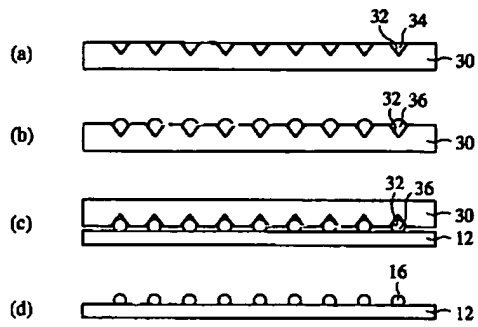
半導体素子の第2の製造方法の詳細を示す断面図





【図9】

半導体素子の第3の製造方法の工程断面図



【図10】

半導体素子の第3の製造方法の詳細を示す断面図

